

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—2989

⑤ Int. Cl.<sup>4</sup>

G 09 G 3/36

G 02 F 1/133

G 09 F 9/35

識別記号

1 1 8

1 2 9

庁内整理番号

7436—5C

7348—2H

7348—2H

6615—5C

⑬ 公開 昭和60年(1985)1月9日

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ アクティブマトリックス表示体用 IC 基板

⑯ 発明者 和田健嗣

⑰ 特 願 昭58—110514

⑱ 出 願 昭58(1983)6月20日

⑲ 発明者 村田雅巳

諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内

⑳ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4  
号

㉑ 代理人 弁理士 最上務

明 細 書

発明の名称

アクティブマトリックス表示体用 IC 基板

特許請求の範囲

1) 複数本のデータ線と複数本のゲート線をマトリックス状に形成し、各交点に画素トランジスタ、液晶駆動電極を設けた画素部と前記データ線又はゲート線を駆動するための X、Y 周辺駆動回路部から構成されるアクティブマトリックス表示体用 IC 基板において、X、Y 周辺駆動回路のうち少なくとも一方は、1 系統しか設けず、かつ、該 1 系統の周辺回路と反対の辺にゲートに複数の共通ラインが入力したトランジスタ群を配置したことを特徴とするアクティブマトリックス表示体用 IC 基板。

発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブマ

トリックス表示体用 IC 基板に関する。

従来アクティブマトリックス用 IC 基板は、表示部分のみで構成され、マトリックスの駆動部分は IC 基板とボンディング等により接続された外部の ROM あるいは IC チップにより構成されていた。第 1 図はアクティブマトリックスの表示部分を示し表示部分 1 は (n × m) のセル 2 が配列されている。各セルにはゲート線 G<sub>1</sub> とデータ線 D<sub>1</sub> が配線されており、この 2 つの信号線の交点となるセルを選択してデータ線 D<sub>1</sub> からデータを各セルに書き込む。各セルはトランジスタ T<sub>11</sub> とデータ保持用の容量 C<sub>11</sub> から構成されて、駆動点 V<sub>11</sub> から液晶等の表示体を駆動する。例えばここにテレビの画面表示を行うとすると、テレビ用の映像信号が各タイミングに応じてデータ線から、その時の走査線位置にあたるゲート線を選択することにより各セルに順次データを置いてゆく。このためには走査位置に合致したゲート線を選択する信号を各ゲート線 G<sub>1</sub> ~ G<sub>n</sub> に与え、又その走査位置におけるデータを、横方向へ走査し

て書き込むためにデータ線に送り込むための周辺回路が必要となる。

ところが、この周辺回路と、このアクティブマトリックス基板の接続は、 $n+m$ 箇所必要となり、実際は400~800本となりかなり大変でありコスト的にも高つく。又周辺駆動回路自体も通常消費電力を低減する意味でCMOS-LSIが用いられるが、このために必要なチップ数が100~200で、やはり、アSEMBルが大変でチップ自体のコストもかなり過ぎる。従ってこの周辺回路をI/O基板に内蔵することが最もよいが下に挙げるような問題点がある。

(1) 外付の場合はCMOS技術が使え、一般にマトリックスI/O基板はNMOS、又はPMOSであり、普通に駆動回路を構成すると消費電力が大きすぎて使いものにならない。又I/O基板をCMOSにすると、製造プロセスが複雑になりすぎる。

(2) 駆動回路外付の場合には、分割されているので歩留は問題ないが、内蔵すると歩留が100

%近くないと、駆動回路の一部の不良により、I/O基板全体が不良となる。

このような問題点を解決するためにNチャンネルMOSプロセスを用いたダイナミック型のシフトレジスタが採用されている。第2図及び第3図はゲートライン駆動用のシフトレジスタ回路の回路図及びタイミング図である。

シフトレジスタセル5は4つのトランジスタ7~10と1つのブートストラップ容量6より構成される。クロックは $\phi_1$ と $\phi_2$ の2相でありスタートパルスSP入力により"1"電位が順次クロックに同期して転送してゆく。各シフトレジスタの出力 $D_1 \sim D_n$ がゲート線に入力されて、この結果、第3図に示す如く、順次各ゲート線を選択していく。

第4図は本発明によるデータ線側の駆動回路の一例である。シフトレジスタセル14はブートストラップ容量16と動作に必要なトランジスタ17, 18により構成され、初段へは入力ゲート15を介してスタートパルスSPを印加する。又

各シフトレジスタ出力 $B_1 \sim B_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力され、走査信号に同期してビデオ入力 $V_B$  (映像信号又はデータ書き込み信号)をデータ線に寄生する容量 $C_0, \sim C_m$ にサンプルホールドさせる。データ線側駆動回路は一走査線内で全ての処理を行うため高速であり、リーク電流の考慮は余りなくてよいが逆に高速動作を確保することと、高速のために増大する消費電力を抑えることを考慮する必要がある。このために、シフトレジスタのクロックは2相でなく4相以上を用いるのがよい。同一の転送率で同一のビット数を確保するためにはクロックが2相から4相になればクロックライン $\phi_1 \sim \phi_4$ で消費する電力は半分になる。又8相になればその半分となる。このシフトレジスタは $n$ ビット中1ビットしか"1"になっていないのでクロック以外での電力消費は少ない。従って本方式の採用により、周辺駆動回路はモノチャネル構成にもかかわらずCMOS並の低電力とすることが可能である。シフトレジスタの出力 $B_1 \sim B_m$

はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力されるのみでここに寄生する容量はそう大きくない。従って $B_1 \sim B_m$ に直接小容量で構成されるブートストラップ容量16を接続することが可能となる。サンプル・ホールドトランジスタ $H_1 \sim H_m$ 19はかなりの高速スイッチングが要求されるが、そのゲート入力にはブートストラップ動作により、第5図に示す如くクロック信号の2倍近い振幅で印加されるので、非常に高速でスイッチングできるという利点がある。以上のX, Yシフトレジスタを実際に配位する場合であるが、従来は各データ線及びゲート線の断線による欠陥を救済するためにX, Yシフトレジスタを上下、左右に2系統づつ設けた。第6図はこの従来例を示す図であり実際にアクティブ・マトリックス基板に配位した場合を示している。データ側Xシフトレジスタ35, 36と及び最終段の帰還信号を形成するダミーセル37, 38とサンプルホールド用トランジスタ $H_1 \sim H_m$ があり上下対照に配列される。又ゲート側Yシフトレジスタ31, 32

とダミー33, 34は左右対照に配列される。

ところが、パターンルールが $10\mu m$ 程度のゆるい場合には、各ゲート線及びデータ線の断線のある確率は低いために、歩留り向上の効率は余りない。逆に、上下左右の2系統のX, Y駆動回路が完全に無欠陥でなければならない場合には歩留り低下になる。また、同じ機能の回路を並列に動かすために、消費電力を余分に使うことになる。特に、X駆動回路は、1水平走査期間(635 $\mu s$ )に同期して、ゲート線が選択されている間、左から右へと点順次走査により1行の200個程度の画素に信号を書き込んで行くことになり、第4図の4相クロックの回路を使っても、クロック信号 $\phi_1 \sim \phi_4$ の周波数は750K $\sim$ 1MHzとなり、消費電力が多くなる。

以上の理由により、X駆動回路については、上下どちらか1系統とした方が良くなる。Y駆動回路については、クロック $\phi_1, \phi_2$ の周波数は、水平同期周波数の半分の約28KHzとXに比較して、約 $1/100$ と小さく、消費電力も少ないため、

2系統のシフトレジスタを設けても良い。

ところが、X駆動回路を1系統のみにすると、データ線の片端から信号を供給するのみであるのでデータ線に断線があるかどうかの検査ができなくなり、品質管理上重要な問題となる。このために、データ線のX駆動回路と反対側にプロービング用のパッドを設ける方法があるが、 $100 \sim 200\mu m$ 程度のピッチで200個程度のパッド列となるために、検査時の位置出し工数がかかることになる。本発明はかかる問題点を鑑みて行なわれたものであり、データ線の検査を容易にすることを目的とする。

以上の欠点を解決するために、データ線のX駆動回路と反対側に検査用のトランジスタを複数設けるものである。第7図は本発明の具体例の1つであり、下側のX駆動回路の代わりに、データ線 $D_1 \sim D_m$ とドレインを結ばれたテスト用トランジスタ $K_1 \sim K_m$ が設けられている。テスト用トランジスタ $K_1 \sim K_m$ は奇数番号と偶数番号の群に分けられ、各群のトランジスタは、ソー

ス及びゲートを共通になっている。各群のソース及びゲートは各々 $B_{01}, B_{02}, G_1, G_2$ と呼ばれる端子からチップの外へ取り出される。また、ゲート端子 $G_1, G_2$ は通常は、テスト用トランジスタ $K_1 \sim K_m$ のドレイン-ソース間をバインピーダンスとするためにプルダウン抵抗 $R_1, R_2$ により基板単位になっている。テスト用トランジスタ $K_1 \sim K_m$ は奇数番号と偶数番号の群に分けてあるのは、第5図のタイミング図からわかるように、サンプルホールドトランジスタ $H_1 \sim H_m$ は隣接する2つが同時に選択される。このため、もし、テスト用トランジスタ $K_1 \sim K_m$ が一系統のみの場合はソース線に断線があっても、隣接するソース線が正常な場合は断線が発見できなくなる。このことを防止するために、隣接するソース線に結がるテスト用トランジスタを奇数と偶数の群に分けているのである。即ち、テスト用トランジスタのゲート $G_1$ と $G_2$ を独立に制御して、ソース端子 $B_{01}, B_{02}$ から信号を検出することにより、各ソース線 $D_1 \sim D_m$ の

断線チェックが可能になるのである。例えば、XシフトレジスタのVIDBO端子をH1ghレベルにして、かつ、テスト用トランジスタのソース端子 $B_{01}, B_{02}$ を抵抗で基板単位へプルダウンした時のタイミング図を第8図に示す。 $B_{01} \sim B_{0m}$ は第5図に示したXシフトレジスタの出力でありサンプルホールドトランジスタ $H_1 \sim H_m$ のゲート信号であり、これと同期してテスト用トランジスタのゲート端子 $G_1, G_2$ に図のような信号を加えるとソース端子 $B_{01}, B_{02}$ には図のような信号が得られ、 $D_1 \sim D_m$ のソース線が断線していないことがわかるのである。もし、断線があった場合は、例えば、 $D_1$ が断線している場合には $B_{01}$ のように対応するパルスが欠落して、断線している箇所がわかるのである。

以上のように、本発明によればアクティブマトリックス表示体用IC基板の検査が容易になり、品質の向上が図かれ、その効果は非常に大きい。なお、本願の実施例は単結晶シリコンを用いたアクティブマトリックス表示体としたが、ガラス基

板上に薄膜トランジスタを形成したTFTについても適用できるものである。

# 図面の簡単な説明

第1図……アクティブマトリックスの表示部の

等価回路図

1……表示部

2……セル

第2図……ゲート線駆動用のYシフトレジスタ

の等価回路図

5……シフトレジスタセル

6……ブートストラップ容量

7～10……トランジスタ

第3図……ゲート線駆動用のYシフトレジスタ

のタイミング図

第4図……ソース線駆動用のXシフトレジスタ

の等価回路図

14……シフトレジスタセル

15……入力ゲート

16……ブートストラップ容量

17～18……トランジスタ

19……サンプルホールドトランジスタ

第5図……ソース線駆動用のXシフトレジスタのタイミング図

第6図……従来例のアクティブマトリックス表示体用IC基板

35, 36……データ用Xシフトレジスタ

37, 38……ダミーセル

31, 32……ゲート用Yシフトレジスタ

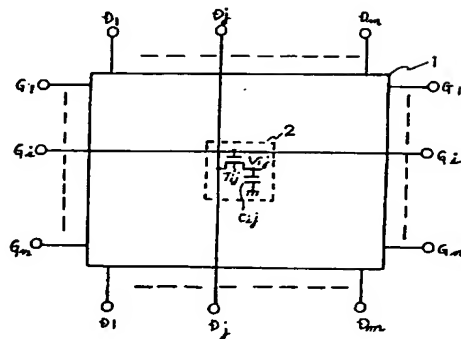
33, 34……ダミーセル

第7図……本発明の実施例のアクティブマトリックス用IC基板の図

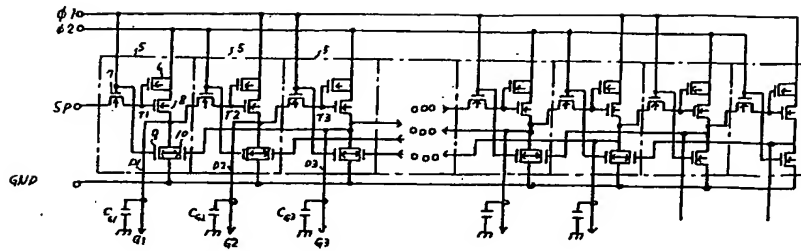
39……テスト用トランジスタ

40……プルダウン抵抗

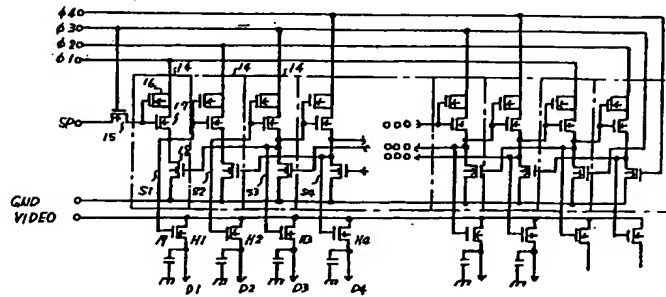
第8図……本発明に於けるタイミング図



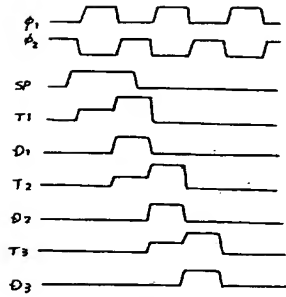
第1図



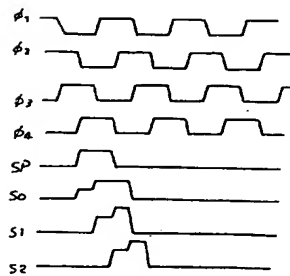
第 2 図



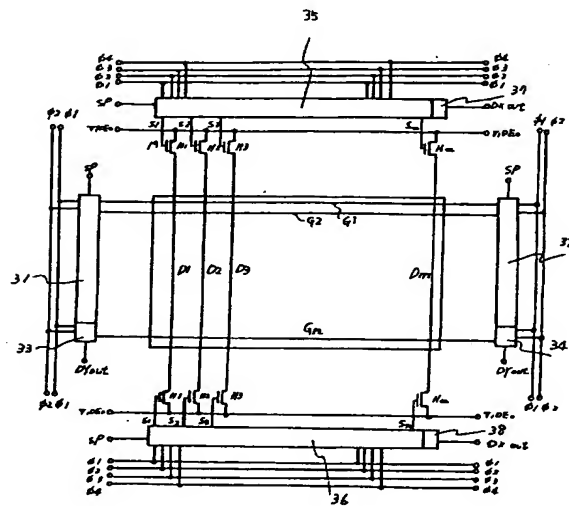
第 4 図



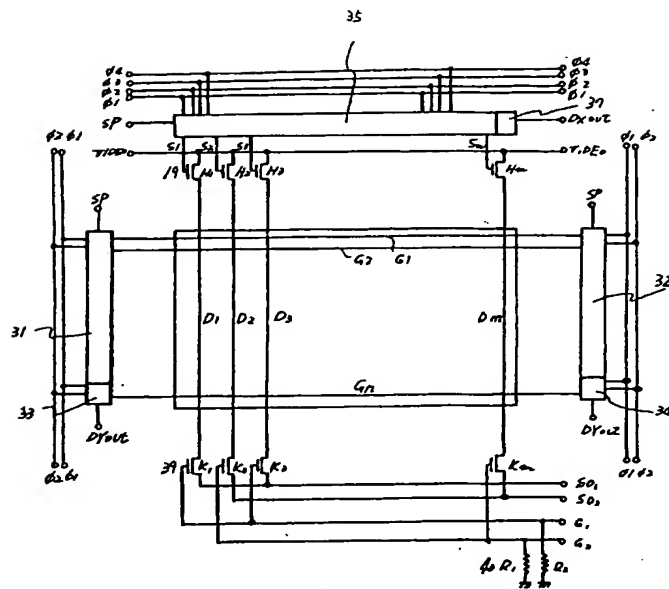
第 3 図



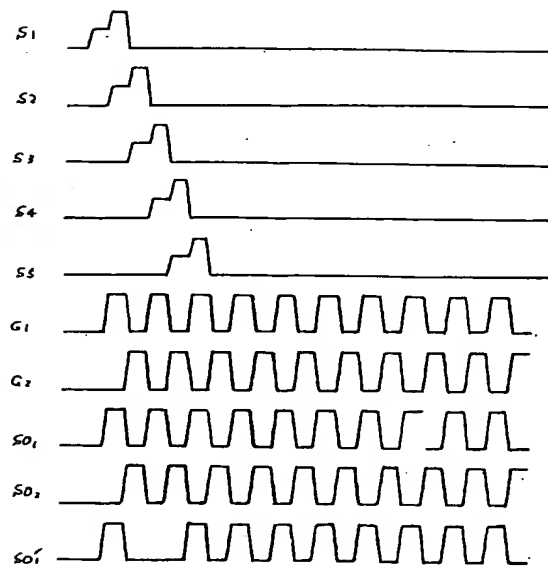
第 5 図



第 6 図



第 7 図



第 8 図

(11) Japanese Unexamined Patent Application Publication No.  
60-2989

(43) Publication Date: January 9, 1985

(21) Application No. 58-110514

(22) Application Date: June 20, 1983

(71) Applicant: Suwa Seikosha Co., Ltd.

(72) Inventor: Masami MURATA et al.

(74) Agent: Patent Attorney, Tsutomu MOGAMI

#### SPECIFICATION

Title of the Invention

IC SUBSTRATE FOR ACTIVE-MATRIX DISPLAY MEDIUM

Claim

(1) An IC substrate for an active-matrix display medium comprising: a pixel part having a plurality of data lines and a plurality of gate lines formed in a matrix and having a pixel transistor and a liquid-crystal driving electrode provided at each intersection; and X and Y peripheral driving circuits for driving the data lines and the gate lines, respectively, wherein only one system of at least one of the X and Y peripheral driving circuits is provided, and a group of transistors in which a plurality of common lines are input to gates is arranged on the side opposite to the

peripheral circuit of the one system.

#### Detailed Description of the Invention

The present invention relates to an IC substrate for an active-matrix display medium, in which a peripheral driving circuit is incorporated.

A conventional active-matrix IC substrate is formed of only a display part, and a driving part of the matrix is formed of an external CMOS-IC chip connected by bonding, etc., to the IC substrate. Fig. 1 shows a display part of an active matrix, and in a display part 1,  $(n \times m)$  cells 2 are arranged. A gate line  $G_i$  and a data line  $D_j$  are wired to each cell. A cell at the intersection of these two signal lines is selected, and data is written thereinto from the data line  $D_j$ . Each cell is formed of a transistor  $T_{ij}$  and a capacitor  $C_{ij}$  for holding data, and drives a display medium, such as a liquid crystal, from a driving point  $V_{ij}$ . For example, here, when a television screen is to be displayed, as a result of a video signal for television selecting a gate line corresponding to the scanning line position at the time, data is sequentially placed in each cell from the data line in accordance with each timing. For this purpose, a peripheral circuit for supplying a signal for selecting a gate line corresponding to the scanning position to each of the gate lines  $G_1$  to  $G_n$  and for sending



data at the scanning position to the data line in order to scan laterally and write the data becomes necessary.

The connection between the peripheral circuit and the active-matrix substrate becomes necessary at  $n + m$  places. In practice, the number of connections becomes 400 to 800, which is enormous, and the cost is high. A CMOS-LSI is usually used for the peripheral driving circuit itself for the purpose of reducing power consumption. The number of chips required for this purpose is 10 to 20, assembly is still very difficult, and the cost of the chips themselves are too much. Therefore, it is best to incorporate this peripheral circuit in the IC substrate, but there are problems given below.

(1) When the driving circuit is provided externally, CMOS technology can be used. However, in general, a matrix IC substrate is an N-MOS or P-MOS type, and if a driving circuit is constructed ordinarily, the power consumption is too large, and the driving circuit is not suitable for use. Furthermore, if the IC substrate is made to be a CMOS type, the manufacturing process becomes too complex.

(2) When the driving circuit is provided externally, the yield is not a problem because it is separate. However, if the driving circuit is provided internally, unless the yield is close to 100%, the entire IC substrate becomes defective due to a defect of a portion of the driving

circuit.

In order to solve such problems, a dynamic shift register employing an N-channel MOS process is used. Figs. 2 and 3 are a circuit diagram and a timing chart of a shift register circuit for driving gate lines, respectively.

A shift register cell 5 is formed of four transistors 7 to 10 and one boot-strap capacitor 6. The clock is at two phases of  $\phi_1$  and  $\phi_2$ , and as a result of a start pulse SP being input, a "1" electrical potential is sequentially transferred in such a manner as to be synchronized with the clock. Outputs  $D_1$  to  $D_n$  of each shift register are input to the gate lines. As a result, as shown in Fig. 3, each gate line is sequentially selected.

Fig. 4 shows an example of a driving circuit on a data line side according to the present invention. A shift register cell 14 is formed of a boot-strap capacitor 16 and transistors 17 and 18 required for operation, and a start pulse SP is applied to the first stage via an input gate 15. Shift register outputs  $S_1$  to  $S_m$  are input to the sample-and-hold transistors  $H_1$  to  $H_m$ , so that capacitors  $Cd_1$  to  $Cd_m$ , which are parasitic to the data lines, sample and hold a video signal V.S. (a video signal or a data write signal) in synchronization with the scanning signal. The driving circuit on the data line side is at a high speed because it performs all the processing within one scanning

line, and a leak current needs not to be considered very much. Conversely, it is necessary to consider to secure a high-speed operation and to suppress an increasing power consumption because of high speed. For this reason, it is preferable that a four or higher phase clock, rather than a two-phase clock, be used for the clock of the shift register. In order to ensure the same number of bits at the same transfer rate, if the clock becomes a four-phase clock from a two-phase clock, the power consumed in clock lines  $\phi_1$  to  $\phi_4$  becomes half. Furthermore, if the clock becomes an eight-phase clock, the power consumption becomes half of that. Among the  $m$  bits of the shift register, only one bit is "1", and therefore, the power consumption at other than clock is small. Therefore, as a result of employing this method, it is possible to cause the peripheral driving circuit to use low power equivalent to that of a CMOS regardless of the mono-channel configuration. The outputs  $S_1$  to  $S_m$  of the shift register are only input to the sample-and-hold transistors  $H_1$  to  $H_m$ , and the capacitance parasitic here is not so large. Therefore, it becomes possible to directly connect the boot-strap capacitor 16 formed at a small area to  $S_1$  to  $S_m$ . Considerable high-speed switching is required for the sample-and-hold transistors  $H_1$  to  $H_m$  19. Since a signal is applied to the gate input at an amplitude nearly two times as large as the clock signal by a boot-strap

operation, as shown in Fig. 5, there is the advantage of capable of performing switching at a very high speed. When the above X and Y shift registers are to be arranged in practice, conventionally, two systems of the X and Y shift registers are provided in up and down and from side to side, respectively, in order to correct a defect due to a disconnection of each data line and gate line. Fig. 6 shows the above conventional example, and shows a case in which the X and Y shift registers are arranged in practice on an active-matrix substrate. There are provided data-side X shift registers 35 and 36, and dummy cells 37 and 38 for forming a feedback signal at the final stage and sample-and-hold transistors  $H_1$  to  $H_m$ , and these are arranged symmetrically up and down. Gate-side Y shift registers 31 and 32 and dummies 33 and 34 are arranged symmetrically left-right.

However, if the pattern rule is loose to such a degree of 10  $\mu\text{m}$ , because the possibility of a disconnection of each gate line and data line is low, the effect of improved yield is not so much. Conversely, when X and Y driving circuits of two systems of up-to-down and side-to-side need to be completely defect-free, the yield is decreased. Furthermore, since circuits of the same functions are operated in parallel, the power consumption is used unnecessarily. In particular, in synchronization with one horizontal scanning

period (63.5  $\mu$ s), the X driving circuit writes a signal into pixels, the number of which is approximately 200 per line, by point-sequential scanning from the left to the right while the gate line is selected. Even if a circuit of a 4-phase clock of Fig. 4 is used, the frequency of the clock signals  $\phi_1$  to  $\phi_4$  becomes 750 KHz to 1 MHz, and the power consumption is increased.

For the above reason, it is better to use one system of the upper and lower X driving circuits. Regarding the Y driving circuit, the frequency of clocks  $\phi_1$  and  $\phi_2$  is approximately 7.8 KHz, which is half of the horizontal synchronization frequency, which is about 1/100 in comparison with that of the X driving circuit, and the power consumption is smaller. Therefore, shift registers of two systems may be provided.

However, if only one system of an X driving circuit is used, since a signal is only supplied from one end of the data line, a check as to whether or not there is a disconnection in the data line cannot be performed. This becomes a serious problem in terms of quality management. For this reason, there is a method of providing a pad for probing on the side opposite to the X driving circuit of the data line. However, a sequence of approximately 200 pads is formed at a pitch of approximately 100 to 200  $\mu$ m, and therefore, positioning steps during inspection are required.

The present invention has been made in view of such problems, and aims to facilitate the inspection of data lines.

In order to overcome the above drawbacks, a plurality of transistors for inspection are provided on the side opposite to the X driving circuit of the data lines. Fig. 7 shows one of specific examples of the present invention. In place of the X driving circuit on the lower side, test transistors  $K_1$  to  $K_m$  39, whose drains are connected to data lines  $D_1$  to  $D_m$ , are provided. The test transistors  $K_1$  to  $K_m$  are divided into a group of odd numbers and a group of even numbers, and the sources and the gates of the transistors of each group are common. The source and the gate of each group are each extended out of the chip from terminals referred to as  $80_1$ ,  $80_2$ ,  $G_1$ , and  $G_2$ . The gate lines  $G_1$  and  $G_2$  are usually at the substrate level by pull-down resistors  $R_1$  and  $R_2$  40 in order to make the section between the drain and the source of the test transistors  $K_1$  to  $K_m$  to be at a high impedance. The reason why the test transistors  $K_1$  to  $K_m$  are divided into a group of odd numbers and a group of even numbers is that, as can be seen from the timing chart of Fig. 5, two adjacent transistors of sample-and-hold transistors  $H_1$  to  $H_m$  are selected simultaneously. For this reason, if the test transistors  $K_1$  to  $K_m$  are only one system, even if there is a disconnection in the source line, the disconnection cannot be found when the adjacent source lines

are normal. In order to prevent this case, test transistors that are connected to the adjacent source lines are divided into a group of odd numbers and a group of even numbers. That is, by controlling the gates  $G_1$  and  $G_2$  of the test transistors independently of each other and by detecting signals from the source lines  $SO_1$  and  $SO_2$ , a disconnection check of each of the data lines  $D_1$  to  $D_m$  becomes possible. A timing chart when, for example, a VIDEO terminal of the X shift register is made to reach a high level and the source terminals  $SO_1$  and  $SO_2$  of the test transistors are pulled down to a substrate level by resistors is shown in Fig. 8.  $S_1$  to  $S_m$  indicate outputs of the X shift register shown in Fig. 5 and gate signals of the sample-and-hold transistors  $H_1$  to  $H_m$ . When a signal shown in the figure is applied to the gate terminals  $G_1$  and  $G_2$  of the test transistors in synchronization with the gate signal, signals shown in the figure are obtained at the source terminals  $SO_1$  and  $SO_2$ , and it can be seen that the source lines of  $D_1$  to  $D_m$  are not disconnected. If there is a disconnection, for example, if  $D_1$  is disconnected, the corresponding pulse like  $SO_1'$  is lost, and the disconnected portion can be known.

As has thus been described, according to the present invention, the inspection of an IC substrate for an active-matrix display medium becomes easy, quality is improved, and the effects are very large. Although, in the embodiment of

the present invention, an active-matrix display medium has been described as using mono-crystal silicon, the present invention can be applied to a TFT having a thin-film transistor formed on a glass substrate.

#### BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 ..... an equivalent circuit diagram of an active-matrix display section

1 ..... display section

2 ..... cell

Fig. 2 ..... an equivalent circuit diagram of a Y shift register for driving gate lines

5 ..... shift register cell

6 ..... boot-strap capacitor

7 to 10 ..... transistors

Fig. 3 ..... a timing chart of a Y shift register for driving gate lines

Fig. 4 ..... an equivalent circuit diagram of an X shift register for driving source lines

14 ..... shift register cell

15 ..... input gate

16 ..... boot-strap capacitor

17 to 18 ..... transistors

19 ..... sample-and-hold transistor

Fig. 5 ..... a timing chart of an X shift register for



driving source lines

Fig. 6 ..... an IC substrate for an active-matrix display

medium of a conventional example

35, 36 ..... X shift registers on data side

37, 38 ..... dummy cells

31, 32 ..... gate-side Y shift registers

33, 34 ..... dummy cells

Fig. 7 ..... an active-matrix IC substrate according to an  
embodiment of the present invention

39 ..... test transistor

40 ..... pull-down resistor

Fig. 8 ..... a timing chart according to the present  
invention